

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2003年 4月25日
Date of Application:

出願番号 特願2003-121673
Application Number:
[ST. 10/C]: [JP2003-121673]

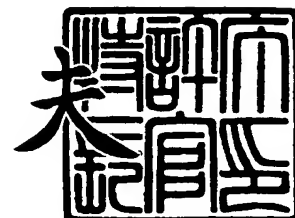
出願人 セイコーエプソン株式会社
Applicant(s):



2004年 2月27日

特許庁長官
Commissioner,
Japan Patent Office

今井 康



【書類名】 特許願

【整理番号】 J0095166

【提出日】 平成15年 4月25日

【あて先】 特許庁長官 殿

【国際特許分類】 G02F 1/133
G09G 3/30
G09G 3/36

【発明の名称】 薄膜半導体装置の製造方法、薄膜半導体装置、電気光学装置の製造方法、電気光学装置、並びに電子機器

【請求項の数】 6

【発明者】

【住所又は居所】 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

【氏名】 世良 博

【特許出願人】

【識別番号】 000002369

【氏名又は名称】 セイコーエプソン株式会社

【代理人】

【識別番号】 100089037

【弁理士】

【氏名又は名称】 渡邊 隆

【代理人】

【識別番号】 100064908

【弁理士】

【氏名又は名称】 志賀 正武

【選任した代理人】

【識別番号】 100110364

【弁理士】

【氏名又は名称】 実広 信哉

【手数料の表示】

【予納台帳番号】 008707

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9910485

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 薄膜半導体装置の製造方法、薄膜半導体装置、電気光学装置の製造方法、電気光学装置、並びに電子機器

【特許請求の範囲】

【請求項 1】 ソース領域、チャネル領域、ドレイン領域を有する半導体膜と、該半導体膜とゲート絶縁膜を介して対向したゲート電極とを具備すると共に、前記ソース領域と前記ドレイン領域には、各々、不純物濃度が相対的に高い高濃度領域と相対的に低い低濃度領域とが形成された薄膜半導体装置の製造方法において、

基板上に、所定のパターンの半導体膜を形成する工程と、
前記半導体膜上に、ゲート絶縁膜を形成する工程と、
前記ゲート絶縁膜上に、テーパー形状を有するゲート電極を形成する工程と、
前記ゲート電極をマスクとして、前記半導体膜に低濃度の不純物を注入する工程と、

前記ゲート電極を形成した前記基板上に、2種類以上の異なる絶縁膜を積層させ積層絶縁膜を形成する工程と、

前記積層絶縁膜の全面エッチングを行い、前記積層絶縁膜のうち少なくとも1層の絶縁膜を前記ゲート電極より幅広でかつ前記半導体膜より幅狭の所定のパターンに形成する工程と、

所定のパターンに形成した前記積層絶縁膜をマスクとして、前記半導体膜に高濃度の不純物を注入する工程とを有することを特徴とする薄膜半導体装置の製造方法。

【請求項 2】 前記積層絶縁膜を所定のパターンに形成する工程において、前記積層絶縁膜のうち少なくとも1層の絶縁膜を前記ゲート電極より幅広でかつ前記半導体膜より幅狭の所定のパターンに形成した後、異方性エッチングを行なうことを特徴とする請求項 1 に記載の薄膜半導体装置の製造方法。

【請求項 3】 請求項 1 から 2 までのいずれか1項に記載の薄膜半導体の製造方法により製造された薄膜半導体装置であって、
少なくとも前記ゲート電極の上面および側面に沿って、前記絶縁膜が形成されて

いると共に、前記半導体の前記ソース領域と前記ドレイン領域には、各々、前記絶縁膜の前記ゲート電極より幅広に形成された部分に対応して、前記低濃度領域が形成されていることを特徴とする薄膜半導体装置。

【請求項 4】 ソース領域、チャネル領域、ドレイン領域を有する半導体膜と、該半導体膜とゲート絶縁膜を介して対向したゲート電極とを具備すると共に、前記ソース領域と前記ドレイン領域には、各々、不純物濃度が相対的に高い高濃度領域と相対的に低い低濃度領域とが形成された薄膜半導体装置を備えた電気光学装置の製造方法において、

基板上に、所定のパターンの半導体膜を形成する工程と、
前記半導体膜上に、ゲート絶縁膜を形成する工程と、
前記ゲート絶縁膜上に、テーパー形状を有するゲート電極を形成する工程と、
前記ゲート電極をマスクとして、前記半導体膜に低濃度の不純物を注入する工程と、

前記ゲート電極を形成した前記基板上に、2種類以上の異なる絶縁膜を積層させ積層絶縁膜を形成する工程と、

前記積層絶縁膜の全面エッチングを行い、前記積層絶縁膜のうち少なくとも1層の絶縁膜は前記ゲート電極より幅広でかつ前記半導体膜より幅狭の所定のパターンに形成する工程と、

所定のパターンに形成した前記積層絶縁膜をマスクとして、前記半導体膜に高濃度の不純物を注入する工程とを有することを特徴とする電気光学装置の製造方法。

【請求項 5】 請求項 4 に記載の電気光学装置の製造方法により製造された電気光学装置であって、

少なくとも前記ゲート電極の上面及び側面に沿って、前記積層絶縁膜が形成されていると共に、前記半導体膜の前記ソース領域と前記ドレイン領域には、各々、前記積層絶縁膜の前記ゲート電極より幅広に形成された部分に対応して、前記低濃度領域が形成されていることを特徴とする電気光学装置。

【請求項 6】 請求項 5 に記載の電気光学装置を備えたことを特徴とする電子機器。

【発明の詳細な説明】**【0001】****【発明の属する技術分野】**

本発明は、薄膜半導体装置の製造方法、薄膜半導体装置、電気光学装置の製造方法、電気光学装置、並びに電子機器に係り、特に、LDD (Lightly Doped Drain) 構造の薄膜半導体装置を製造する技術に関するものである。

【0002】**【従来の技術】**

液晶装置、エレクトロルミネッセンス (EL) 装置、プラズマディスプレイ等の電気光学装置として、マトリクス状に配置された多数のドットを、ドット毎に駆動するために、各ドットに薄膜半導体装置である TFT を設けたアクティブマトリクス型の電気光学装置が知られている。また、かかる用途に用いられる TFT として、ソース領域とドレイン領域に、各々、不純物濃度が相対的に高い高濃度領域と相対的に低い低濃度領域 (LDD 領域) とが形成された LDD 構造の TFT が知られているが、LDD 構造の TFT では、LDD 長 (低濃度領域の形成幅) を精度良く制御することが重要である。

【0003】

ここで、IC 等の半導体素子の技術分野では、ゲート電極にサイドウォールを形成することにより、LDD 長を制御する技術が知られている (例えば、特許文献 1～3 参照)。以下、n チャネル MOS トランジスタを製造する場合を例として、この技術について簡単に説明する。

【0004】

はじめに、図 10 (a) に示すように、シリコンウエハ 200 に p ウェル 210 を形成した後、所定のパターンのゲート絶縁膜 201 と金属からなるゲート電極 202 とを順次形成する。次に、ゲート電極 202 をマスクとして、低濃度の n 型不純物イオン 300 を注入し、低濃度のソース領域 203 とドレイン領域 204 を形成する。

次に、図 10 (b) に示すように、シリコンウエハ 200 の全面に絶縁膜 205 を形成した後、図 10 (c) に示すように、エッチバックにより、ゲート絶縁

膜 201 及びゲート電極 202 の側面にのみ絶縁膜 205 を残し、ゲート絶縁膜 201 及びゲート電極 202 にサイドウォール 205a を形成する。最後に、図 10 (d) に示すように、ゲート電極 202 及びサイドウォール 205a をマスクとして、高濃度の n 型不純物イオン 301 を注入することにより、ソース領域 203、ドレイン領域 204 において、サイドウォール 205a の直下に位置する部分に低濃度領域 203a、204a を残したまま、高濃度領域 203b、204b を形成することができる。

【0005】

以上の方法によれば、ゲート絶縁膜 201 及びゲート電極 202 に、シリコンウエハ 200 の全面に形成した絶縁膜 205 の膜厚に略等しい幅のサイドウォール 205a を形成することができ、このサイドウォール 205a の形成幅に略等しい低濃度領域 (LDD 領域) 203a、204a を形成することができるので、形成する絶縁膜 205 の膜厚により LDD 長を制御することができ、LDD 長を精度良く制御することができる。

【0006】

【特許文献 1】

特開平 5-136163 号公報

【特許文献 2】

特開平 8-125178 号公報

【特許文献 3】

特開平 11-68090 号公報

【0007】

【発明が解決しようとする課題】

しかしながら、以下に詳述するように、IC 等の半導体素子の技術分野における上述の技術を電気光学装置の技術分野に適用することは極めて困難であり、実用化には到っていないのが現状である。

【0008】

IC 等の半導体素子では、ゲート電極の側面がゲート絶縁膜の表面に対して略垂直であるため、エッチバックにより、ゲート電極の側面に絶縁膜を残し、サイ

ドウォールを形成することができる。

ここで、IC等の半導体素子では、ゲート電極の膜厚が $0.3\mu\text{m}$ 程度、LDD長が $0.2\mu\text{m}$ 程度のトランジスタを形成すれば良いのに対し、電気光学装置では、ゲート電極の膜厚が $0.3\sim 0.8\mu\text{m}$ 程度、LDD長が $0.5\sim 1.0\mu\text{m}$ 程度とスケールの大きいTFETを形成する必要があるため、ゲート電極の側面を略垂直形状に加工すること自体難しく、また、ゲート電極の側面を略垂直形状に加工できたとしても、後に形成する層間絶縁膜がゲート電極の側面に形成されにくくなるため、データ線やソース線等の配線が断線する恐れがある。そこで、電気光学装置では一般に、ゲート電極はテーパ状とされ、そのテーパ角は $20\sim 80^\circ$ 程度となっている。

【0009】

そして、このように、テーパ状のゲート電極を形成した場合、ゲート電極を形成した基板上の全面に絶縁膜を形成し、エッチバックをかけても、絶縁膜がすべてエッチングされて残らないため、サイドウォールを形成することができない。また、仮に、ゲート電極の側面を略垂直形状に加工できたとしても、IC等の半導体素子における従来の技術では、形成する絶縁膜の膜厚がLDD長に略等しくなるため、 $0.5\sim 1\mu\text{m}$ 程度のLDD長を実現するためには、 $1\mu\text{m}$ 程度の膜厚の絶縁膜を形成する必要がある。しかしながら、 $1\mu\text{m}$ 程度と厚い絶縁膜を均一に成膜し、絶縁膜を精度良くエッチングすることは極めて困難であり、所望の形状のサイドウォールを精度良く形成することは極めて難しい。

そこで、本発明はかかる事情に鑑みてなされたものであり、ゲート電極の側面形状にかかわらず、精度良く $0.5\sim 1\mu\text{m}$ 前後の大きなLDD長を実現可能な手段を提供することを目的とする。

【0010】

【課題を解決するための手段】

本発明の薄膜半導体装置の製造方法は、ソース領域、チャネル領域、ドレイン領域を有する半導体膜と、該半導体膜とゲート絶縁膜を介して対向したゲート電極とを具備すると共に、前記ソース領域と前記ドレイン領域には、各々、不純物濃度が相対的に高い高濃度領域と相対的に低い低濃度領域とが形成された薄膜半

導体装置の製造方法において、

基板上に、所定のパターンの半導体膜を形成する工程と、

前記半導体膜上に、ゲート絶縁膜を形成する工程と、

前記ゲート絶縁膜上に、テーパー状のゲート電極を形成する工程と、

前記ゲート電極をマスクとして、前記半導体膜に低濃度の不純物を注入する工程と、

前記ゲート電極を形成した前記基板上に、2種類以上の絶縁膜により構成される積層絶縁膜を形成する工程と、

前記積層絶縁膜の全面エッチングを行い、少なくとも前記積層絶縁膜の内、1層の絶縁膜を前記ゲート電極より幅広でかつ前記半導体膜より幅狭の所定のパターンに形成する工程と、

所定のパターンに形成した前記積層絶縁膜をマスクとして、前記半導体膜に高濃度の不純物を注入する工程とを有することを特徴とする。

【0011】

すなわち、本発明の薄膜半導体装置の製造方法では、(1) テーパー状のゲート電極を形成した後、該ゲート電極をマスクとして、半導体膜に低濃度の不純物を注入することにより、半導体膜に低濃度のソース領域とドレイン領域を形成する構成としている。また、(2) このように半導体膜に低濃度のソース領域とドレイン領域を形成した後、ゲート電極を形成した基板上に2種類以上の絶縁膜により構成される2層以上の積層絶縁膜を形成する構成としている。また、(3) 積層絶縁膜を全面エッチングすることにより、少なくとも1層の絶縁膜をゲート電極より幅広でかつ半導体膜より幅狭に形成された構成としている。そして、(4) 所定の形状に形成した絶縁膜をマスクとして、半導体膜に高濃度の不純物を注入することにより、ソース領域とドレイン領域において、各々、絶縁膜の直下に位置する部分に低濃度領域を残したまま、絶縁膜の直下に位置しない部分に高濃度領域を形成することを特徴としている。

【0012】

このように、本発明の薄膜半導体装置の製造方法では、半導体膜に低濃度のソース領域とドレイン領域を形成した後、ゲート電極を形成した基板上に、ゲート

電極より幅広でかつ半導体膜より幅狭の所定のパターンの絶縁膜を形成し、この絶縁膜をマスクとして、半導体膜に高濃度の不純物を注入する構成を採用しているので、ソース領域とドレイン領域において、各々、所定の形状に形成した絶縁膜のゲート電極より幅広に形成された部分の長さがLDD長に相当し、LDD長を精度良く制御することができる。

【0013】

また、本発明では、上記マスクとなる絶縁膜を、2種類以上の絶縁膜により構成される積層絶縁膜としている。このため、絶縁膜の種類、膜厚および層構造といった積層条件と、絶縁膜に対するエッチング条件等を制御することにより、絶縁膜の形状を制御し、これによってLDD長を制御することができる。

【0014】

具体的には、前記積層絶縁膜をゲート電極より幅広でかつ半導体膜より幅狭の所定の形状の絶縁膜とするには、例えば、前記積層絶縁膜を形成する工程において、ゲート絶縁膜と異なる第一の絶縁膜をまず成膜した後に前記第一の絶縁膜と異なる第二の絶縁膜を成膜すると共に、全面エッチングの際にゲート絶縁膜と界面を有する前記第一の絶縁膜のエッチングレートが第二の絶縁膜に対して小さい条件にてエッチングを行えば良い。

或いは、前記積層絶縁膜を所定のパターンに形成する工程において、前記積層絶縁膜のうち少なくとも1層の絶縁膜を前記ゲート電極より幅広でかつ前記半導体膜より幅狭の所定のパターンに形成した後、異方性エッチングを行なうことによっても、前記積層絶縁膜の形状をゲート電極より幅広でかつ半導体膜より幅狭とすることができる。

【0015】

このように本発明の薄膜半導体装置の製造方法では、絶縁膜の膜厚、種類、積層構造、エッチング等の複数の条件により、LDD長を制御することができるので、テーパー形状を持つゲート電極に対して必要なLDD長を確保することができる。また薄膜半導体装置においてはIC素子と異なりLDD形成領域にはゲート絶縁膜が形成されているが、本発明では異なる2種類以上の絶縁膜を積層することで全面エッチング後のゲート絶縁膜の膜厚を必要分確保した状態に維持する

ことができる。したがって、例えば、ゲート絶縁膜上に形成されたテーパー形状を持つゲート電極において、ゲート絶縁膜と異なる第一の絶縁膜を成膜し、その上に前記第一の絶縁膜と異なる第二の絶縁膜を成膜後に全面エッチングすることでゲート絶縁膜を必要以上にエッチングすること無く LDD 長を制御することができる。

【0016】

また、前記積層絶縁膜はエッチング条件・膜構成・膜厚・積層数等で形状は制御できることから、様々な組み合わせにおいて、積層絶縁膜をゲート電極より幅広でかつ半導体膜より幅狭の所定のパターンの絶縁膜を形成することができる。

【0017】

以上の本発明の薄膜半導体装置の製造方法は、単層の絶縁膜に対してエッチバックを採用した従来の技術ではサイドウォールを形成することができず、LDD 長を制御することができない、テーパー状のゲート電極を有する薄膜半導体装置、また、 $0.5 \sim 1 \mu\text{m}$ 程度の大きな LDD 長を必要とする薄膜半導体装置に対して、特に有効である。なお、本明細書において、絶縁膜の「幅」とは、LDD 長方向の長さを意味しているものとする。

【0018】

本発明の薄膜半導体装置は、以上の本発明の薄膜半導体装置の製造方法により製造された薄膜半導体装置であって、少なくとも前記ゲート電極の上面及び側面に沿って、前記積層絶縁膜が形成されていると共に、前記半導体膜の前記ソース領域と前記ドレイン領域には、各々、前記絶縁膜の前記ゲート電極より幅広に形成された部分に対応して、前記低濃度領域が形成されていることを特徴とする。

本発明の薄膜半導体装置は、本発明の薄膜半導体装置の製造方法により製造されたものであるので、ゲート電極の側面形状や LDD 長にかかわらず、LDD 長を精度良く制御することができ、耐圧性、電流－電圧特性等の性能に優れたものとなる。

【0019】

また、本発明の薄膜半導体装置の製造方法は、IC 等の半導体素子に比較してスケールの大きい薄膜半導体装置を形成する必要がある電気光学装置に対して、

特に有効である。

本発明の電気光学装置の製造方法は、ソース領域、チャネル領域、ドレイン領域を有する半導体膜と、該半導体膜とゲート絶縁膜を介して対向したゲート電極とを具備すると共に、前記ソース領域と前記ドレイン領域には、各々、不純物濃度が相対的に高い高濃度領域と相対的に低い低濃度領域とが形成された薄膜半導体装置を備えた電気光学装置の製造方法において、

基板上に、所定のパターンの半導体膜を形成する工程と、

前記半導体膜上にゲート絶縁膜を形成する工程と、

前記ゲート絶縁膜上に、テーパー状のゲート電極を形成する工程と、

前記ゲート電極をマスクとして、前記半導体膜に低濃度の不純物を注入する工程と、

前記ゲート電極を形成した前記基板上に、2種類以上の絶縁膜から構成される2層以上の絶縁膜からなる積層絶縁膜を形成する工程と、

前記積層絶縁膜の全面エッチングを行い、前記積層絶縁膜のうち少なくとも1層の絶縁膜が前記ゲート電極より幅広でかつ前記半導体膜より幅狭の所定のパターンに形成する工程と、

所定のパターンに形成した前記積層絶縁膜をマスクとして、前記半導体膜に高濃度の不純物を注入する工程とを有することを特徴とする。

【0020】

本発明の電気光学装置の製造方法は、上記の本発明の薄膜半導体装置の製造方法を電気光学装置に適用したものであるから、本発明の電気光学装置の製造方法によれば、薄膜半導体装置を製造する際に、ゲート電極の側面形状やLDD長にかかわらず、LDD長を精度良く制御することができる。

【0021】

本発明の電気光学装置は、本発明の電気光学装置の製造方法により製造された電気光学装置であって、少なくとも前記テーパー状のゲート電極の上面及び側面に沿って、前記絶縁膜が形成されていると共に、前記半導体膜の前記ソース領域と前記ドレイン領域には、各々、前記絶縁膜の前記ゲート電極より幅広に形成された部分に対応して、前記低濃度領域が形成されていることを特徴とする。

本発明の電気光学装置は、本発明の電気光学装置の製造方法により製造されたものであるので、ゲート電極の側面形状やLDD長にかかわらず、LDD長を精度良く制御することができ、性能に優れた薄膜半導体装置を備えたものとなる。

また、本発明の電気光学装置を備えることにより、性能に優れた電子機器を提供することができる。

【0022】

【発明の実施の形態】

次に、本発明に係る実施形態について詳細に説明する。

（電気光学装置の構造）

図1～図3に基づいて、本発明に係る実施形態の電気光学装置の構造について説明する。本実施形態では、スイッチング素子としてTF T（薄膜半導体装置）を用いたアクティブマトリクス型の透過型液晶装置を例として説明する。

図1は本実施形態の液晶装置の画像表示領域を構成するマトリクス状に配置された複数のドットにおけるスイッチング素子、信号線等の等価回路図、図2はデータ線、走査線、画素電極等が形成されたTF Tアレイ基板の1ドットを拡大して示す平面図、図3は本実施形態の液晶装置の構造を示す断面図であって、図2のA-A'線断面図である。なお、図3においては、図示上側が光入射側、図示下側が視認側（観察者側）である場合について図示している。また、各図においては、各層や各部材を図面上で認識可能な程度の大きさとするため、各層や各部材毎に縮尺を異ならせてある。

【0023】

本実施形態の液晶装置において、図1に示すように、画像表示領域を構成するマトリクス状に配置された複数のドットには、画素電極9と当該画素電極9を制御するためのスイッチング素子であるTF T（薄膜半導体装置）30がそれぞれ形成されており、画像信号が供給されるデータ線6aが当該TF T30のソースに電氣的に接続されている。データ線6aに書き込む画像信号S1、S2、…、Snは、この順に線順次に供給されるか、あるいは相隣接する複数のデータ線6aに対してグループ毎に供給される。

【0024】

また、走査線 3 a が T F T 3 0 のゲートに電氣的に接続されており、複数の走査線 3 a に対して走査信号 G 1、G 2、…、G m が所定のタイミングでパルス的に線順次で印加される。また、画素電極 9 は T F T 3 0 のドレインに電氣的に接続されており、スイッチング素子である T F T 3 0 を一定期間だけオンすることにより、データ線 6 a から供給される画像信号 S 1、S 2、…、S n を所定のタイミングで書き込む。

【0025】

画素電極 9 を介して液晶に書き込まれた所定レベルの画像信号 S 1、S 2、…、S n は、後述する共通電極との間で一定期間保持される。液晶は、印加される電圧レベルにより分子集合の配向や秩序が変化することにより、光を変調し、階調表示を可能にする。ここで、保持された画像信号がリークすることを防止するために、画素電極 9 と共通電極との間に形成される液晶容量と並列に蓄積容量 6 0 が付加されている。

【0026】

図 3 に示すように、本実施形態の液晶装置は、液晶層 5 0 を挟持して対向配置され、T F T 3 0 や画素電極 9 が形成された T F T アレイ基板 1 0 と、共通電極 2 1 が形成された対向基板 2 0 とを具備して概略構成されている。

【0027】

以下、図 2 に基づいて、T F T アレイ基板 1 0 の平面構造について説明する。

T F T アレイ基板 1 0 には、矩形状の画素電極 9 が複数、マトリクス状に設けられており、図 2 に示すように、各画素電極 9 の縦横の境界に沿って、データ線 6 a、走査線 3 a 及び容量線 3 b が設けられている。本実施形態において、各画素電極 9 及び各画素電極 9 を囲むように配設されたデータ線 6 a、走査線 3 a 等が形成された領域が 1 ドットとなっている。

【0028】

データ線 6 a は、T F T 3 0 を構成する多結晶半導体膜 1 のうちソース領域 1 x に、コンタクトホール 1 3 を介して電氣的に接続されており、画素電極 9 は、多結晶半導体膜 1 のうちドレイン領域 1 y に、コンタクトホール 1 5、ソース線 6 b、コンタクトホール 1 4 を介して電氣的に接続されている。また、走査線 3

aの一部が、多結晶半導体膜1のうちチャネル領域1aに対向するように拡幅されており、走査線3aの拡幅された部分が、ゲート電極として機能する。以下、走査線3aにおいて、ゲート電極として機能する部分を単に「ゲート電極」と称し、符号3cで示す。また、TFT30を構成する多結晶半導体膜1は、容量線3bと対向する部分にまで延設されており、この延設部分1fを下電極、容量線3bを上電極とする蓄積容量（蓄積容量素子）60が形成されている。

【0029】

次に、図3に基づいて、本実施形態の液晶装置の断面構造について説明する。

TFTアレイ基板10は、ガラス等の透光性材料からなる基板本体（透光性基板）10Aとその液晶層50側表面に形成された画素電極9、TFT30、配向膜12を主体として構成されており、対向基板20はガラス等の透光性材料からなる基板本体20Aとその液晶層50側表面に形成された共通電極21と配向膜22とを主体として構成されている。

【0030】

詳細には、TFTアレイ基板10において、基板本体10Aの直上に、シリコン酸化膜等からなる下地保護膜（緩衝膜）11が形成されている。また、基板本体10Aの液晶層50側表面にはインジウム錫酸化物（ITO）等の透明導電性材料からなる画素電極9が設けられ、各画素電極9に隣接する位置に、各画素電極9をスイッチング制御する画素スイッチング用TFT30が設けられている。

【0031】

下地保護膜11上には、多結晶シリコンからなる多結晶半導体膜1が所定のパターンで形成されており、この多結晶半導体膜1上に、シリコン酸化膜等からなるゲート絶縁膜2が形成され、このゲート絶縁膜2上に、走査線3a（ゲート電極3c）が形成されている。本実施形態では、ゲート電極3cの側面はゲート絶縁膜2の表面に対してテーパ状となっている。また、多結晶半導体膜1のうち、ゲート絶縁膜2を介してゲート電極3cと対向する領域が、ゲート電極3cからの電界によりチャネルが形成されるチャネル領域1aとなっている。また、多結晶半導体膜1において、チャネル領域1aの一方側（図示左側）には、ソース領域1xが形成され、他方側（図示右側）にはドレイン領域1yが形成されている。

。そして、ゲート電極 3 c、ゲート絶縁膜 2、後述するデータ線 6 a、ソース線 6 b、多結晶半導体膜 1 のソース領域 1 x、チャネル領域 1 a、ドレイン領域 1 y 等により、画素スイッチング用 TFT 30 が構成されている。

【0032】

本実施形態において、画素スイッチング用 TFT 30 は、LDD 構造を有するものとなっており、ソース領域 1 x 及びドレイン領域 1 y には、各々、不純物濃度が相対的に高い高濃度領域（高濃度ソース領域、高濃度ドレイン領域）と、相対的に低い低濃度領域（LDD 領域（低濃度ソース領域、低濃度ドレイン領域））が形成されている。以下、高濃度ソース領域、低濃度ソース領域を、符号 1 d、1 b で表し、高濃度ドレイン領域、低濃度ドレイン領域を、各々、符号 1 e、1 c で表す。

【0033】

また、ゲート電極 3 c を形成したゲート絶縁膜 2 上には、少なくともゲート電極 3 c の上面（ゲート絶縁膜と反対側の面）及び側面に沿って、ゲート電極 3 c より幅広の第一の絶縁膜 8 a、第一の絶縁膜上に第二の絶縁膜 8 b が形成されており、ソース領域 1 x とドレイン領域 1 y には、各々、第一の絶縁膜 8 a もしくは第二の絶縁膜 8 b のゲート電極 3 c より幅広に形成された部分に対応して、低濃度領域（LDD 領域）1 b、1 c が形成されている。第一および第二の絶縁膜 8 a および 8 b は、シリコン窒化膜やシリコン酸化膜等からなるが、第一の絶縁膜 8 a においてはゲート絶縁膜 2 とは異なる絶縁性材料により構成されていることが好ましい。

以下、第一の絶縁膜、第二の絶縁膜からなる積層絶縁膜を 8 x で表す。

【0034】

また、走査線 3 a（ゲート電極 3 c）が形成された基板本体 10 A 上には、シリコン酸化膜等からなる第 1 層間絶縁膜 4 が形成されており、この第 1 層間絶縁膜 4 上に、データ線 6 a 及びソース線 6 b が形成されている。データ線 6 a は、第 1 層間絶縁膜 4 に形成されたコンタクトホール 13 を介して、多結晶半導体膜 1 の高濃度ソース領域 1 d に電氣的に接続されており、ソース線 6 b は、第 1 層間絶縁膜 4 に形成されたコンタクトホール 14 を介して、多結晶半導体膜 1 の高

濃度ドレイン領域 1 e に電氣的に接続されている。

【0035】

また、データ線 6 a、ソース線 6 b が形成された第 1 層間絶縁膜 4 上には、シリコン窒化膜等からなる第 2 層間絶縁膜 5 が形成されており、第 2 層間絶縁膜 5 上に、画素電極 9 が形成されている。画素電極 9 は、第 2 層間絶縁膜 5 に形成されたコンタクトホール 1 5 を介して、ソース線 6 b に電氣的に接続されている。

また、多結晶半導体膜 1 の高濃度ドレイン領域 1 e からの延設部分 1 f（下電極）に対して、ゲート絶縁膜 2 と一体形成された絶縁膜（誘電体膜）を介して、走査線 3 a と同層に形成された容量線 3 b が上電極として対向配置されており、これら延設部分 1 f と容量線 3 b により蓄積容量 6 0 が形成されている。

また、T F T アレイ基板 1 0 の液晶層 5 0 側最表面には、液晶層 5 0 内の液晶分子の配列を制御するための配向膜 1 2 が形成されている。

【0036】

他方、対向基板 2 0 においては、基板本体 2 0 A の液晶層 5 0 側表面に、液晶装置に入射した光が、少なくとも、多結晶半導体膜 1 のチャネル領域 1 a 及び低濃度領域 1 b、1 c に入射することを防止するための遮光膜 2 3 が形成されている。また、遮光膜 2 3 が形成された基板本体 2 0 A 上には、そのほぼ全面に渡って、I T O 等からなる共通電極 2 1 が形成され、その液晶層 5 0 側には、液晶層 5 0 内の液晶分子の配列を制御するための配向膜 2 2 が形成されている。

【0037】

本実施形態の液晶装置は以上のように構成されており、本実施形態では、T F T 3 0 において、少なくともゲート電極 3 c の上面及び側面に沿って、所定のパターンの絶縁膜 8 x が形成されている点が特徴的なものとなっている。

【0038】

（薄膜半導体装置の製造方法）

次に、図 4 ～図 8 に基づいて、本実施形態の液晶装置に備えられた T F T（薄膜半導体装置）3 0 の製造方法について説明する。なお、n チャネル型の T F T を製造する場合を例として説明する。図 4 ～図 8 はいずれも、本実施形態の T F T の製造方法を工程順に示す概略断面図である。

【0039】

はじめに、図4 (a) に示すように、基板本体10Aとして、超音波洗浄等により清浄化したガラス基板等の透光性基板を用意した後、基板温度が150～450℃となる条件下で、基板本体10Aの全面に、シリコン酸化膜等からなる下地保護膜(緩衝膜)11をプラズマCVD法等により100～500nmの厚さに成膜する。この工程において用いる原料ガスとしては、モノシランと一酸化二窒素との混合ガスや、TEOS(テトラエトキシシラン、 $\text{Si}(\text{OC}_2\text{H}_5)_4$)と酸素、ジシランとアンモニア等が好適である。

【0040】

次に、図4 (b) に示すように、基板温度が150～450℃となる条件下で、下地保護膜11を形成した基板本体10Aの全面に、非晶質シリコンからなる非晶質半導体膜101をプラズマCVD法等により30～100nmの厚さに成膜する。この工程において用いる原料ガスとしては、ジシランやモノシランが好適である。次に、図4 (c) に示すように、非晶質半導体膜101に対して、レーザーアニールを施すなどして、非晶質半導体膜101を多結晶化し、多結晶シリコンからなる多結晶半導体膜を形成した後、該多結晶半導体膜をフォトリソグラフィ法によりパターンニングし、島状の多結晶半導体膜1を形成する。

【0041】

次に、図5 (a) に示すように、350℃以下の温度条件下で、多結晶半導体膜1を形成した基板本体10A上に、シリコン酸化膜、シリコン窒化膜等からなるゲート絶縁膜2を30～150nmの厚さに成膜する。この工程において用いる原料ガスとしては、TEOSと酸素ガスとの混合ガス等が好適である。

次に、図5 (b) に示すように、ゲート絶縁膜2を形成した基板本体10Aの全面に、スパッタリング法等により、アルミニウム、タンタル、モリブデン等、又はこれらのいずれかを主成分とする合金等からなる導電膜を成膜した後、フォトリソグラフィ法によりパターンニングし、100～800nmの厚さの走査線3a(ゲート電極3c)を形成する。

【0042】

次に、図5 (c) に示すように、ゲート電極3cをマスクとして、約0.1×

1013～約 $10 \times 10^{13} / \text{cm}^2$ のドーズ量で低濃度の不純物イオン（リンイオン）を注入し、ゲート電極 3c に対して自己整合的に低濃度のソース領域 1x とドレイン領域 1y を形成する。この時、ゲート電極 3c の直下に位置し、不純物イオンが導入されなかった部分はチャネル領域 1a となる。

【0043】

次に、図 6（a）に示すように、ゲート電極 3c を形成した基板本体 10A 上の全面に、CVD 法等により、シリコン窒化膜、シリコン酸化膜等からなる第一の絶縁膜 108 を 100～500 nm の厚さに成膜する。この工程において、ゲート絶縁膜 2 とは異なる絶縁性材料からなる第一の絶縁膜 108 を形成することが好ましい。次に、図 6（b）に示すように、第一の絶縁膜 108 上に、CVD 法等により第一の絶縁膜 108 と異なる第二の絶縁膜 109 を 100～500 nm の厚さに成膜した後、全面エッチングする事により、図 6（c）に示すように、ゲート電極 3c より幅広でかつ多結晶半導体膜 1 より幅狭の所定のパターンに形成する。図 6（c）では、パターニング後の絶縁膜 108、109 をそれぞれ符号 8a、8b で示している。

【0044】

なお、積層条件（膜種、膜厚、積層構造）やエッチング条件を制御することにより、テーパー形状のゲート電極についても 0.5～1.0 μm の大きな LDD 長を確保できる。

例えば、ゲート絶縁膜 2 と異なる第一の絶縁膜 8a を成膜後に、第一の絶縁膜 8a と異なる第二の絶縁膜 8b を成膜する。その後、第一の絶縁膜 8a のエッチングレートが第二の絶縁膜 8b よりも小さいエッチング条件で全面ドライエッチングによるエッチバックを実施すると、少なくともゲート電極 3c の側面に沿って絶縁膜が残り、ゲート電極 3c より幅広でかつ多結晶半導体膜 1 より幅狭の所定の第一の絶縁膜 8a および第二の絶縁膜 8b からなる積層絶縁膜 8x を形成することができる。この際、第一の絶縁膜 108 のエッチングレートが第二の絶縁膜 109 のエッチングレートよりも小さいため、単膜を使用した場合よりも幅広の絶縁膜をゲート電極に沿って残すことができ、大きなサイズの TFT を形成するには有利になる。

【0045】

また、第一の絶縁膜 8a をゲート絶縁膜 2 と異なる材料により構成した場合には、第一の絶縁膜 8a のエッチングの終点が明確となり、オーバーエッチングする恐れがないため、好適である。

【0046】

次に、図 7 (a) に示すように、所定のパターンに形成した絶縁膜 8x をマスクとして、多結晶半導体膜 1 に対して、高濃度の不純物イオン（リンイオン）32 を約 $0.1 \times 10^{15} \sim 10 \times 10^{15} / \text{cm}^2$ のドーズ量で注入する。これによって、ソース領域 1x とドレイン領域 1y において、各々、絶縁膜 8x の直下に位置する部分に低濃度領域 1b、1c を残したまま、高濃度領域 1d、1e を形成することができる。すなわち、ソース領域 1x とドレイン領域 1y において、各々、所定のパターンに形成した絶縁膜 8x のゲート電極 3c より幅広に形成された部分の長さに略等しい LDD 長を有する低濃度領域（LDD 領域）1b、1c を自己整合的に形成することができる。

【0047】

次に、図 7 (b) に示すように、絶縁膜 8x を形成した基板本体 10A 上の全面に、CVD 法等により、シリコン酸化膜等からなる第 1 層間絶縁膜 4 を 300 ~ 800 nm の厚さに成膜する。この工程において用いる原料ガスとしては、TEOS と酸素ガスとの混合ガス等が好適である。次に、レーザーアニール、炉アニール等によりアニールを行うことにより、ソース領域 1x（高濃度ソース領域 1d、低濃度ソース領域 1b）及びドレイン領域 1y（高濃度ドレイン領域 1e、低濃度ドレイン領域 1c）に注入された不純物の活性化を行う。

【0048】

次に、図 8 (a) に示すように、所定のパターンのフォトリソ（図示略）を形成した後、該レジストをマスクとして第 1 層間絶縁膜 4 のドライエッチングを行い、第 1 層間絶縁膜 4 において高濃度ソース領域 1d 及び高濃度ドレイン領域 1e に対応する部分にコンタクトホール 13、14 をそれぞれ形成する。

最後に、図 8 (b) に示すように、第 1 層間絶縁膜 4 の全面に、アルミニウム、チタン、窒化チタン、タンタル、モリブデン等、又はこれらのいずれかを主成

分とする合金等からなる金属膜を、スパッタリング法等により成膜した後、フォトリソグラフィ法によりパターンニングし、400～800 nmの厚さのデータ線 6a 及びソース線 6b を形成し、nチャネル型の TFT30 を製造することができる。

【0049】

以上説明したように、本実施形態の TFT の製造方法では、多結晶半導体膜 1 に低濃度のソース領域 1x とドレイン領域 1y を形成した後、ゲート電極 3c を形成した基板本体 10A 上に、2種類以上の絶縁膜から構成される積層絶縁膜 8x とエッチング条件を制御することで、ゲート電極 3c より幅広でかつ多結晶半導体膜 1 より幅狭の所定のパターンを形成し、該積層絶縁膜 8x をマスクとして、多結晶半導体膜 1 に高濃度の不純物を注入する構成を採用しているため、ソース領域 1x とドレイン領域 1y において、各々所定のパターンに形成した積層絶縁膜 8 のゲート電極 3c より幅広に形成された部分の長さが LDD 長に相当し、0.5～1.0 μm の大きな LDD 長を形成することができる。

【0050】

また、以上の製造方法により製造された本実施形態の TFT30 は、ゲート電極 3c の側面形状や LDD 長にかかわらず、LDD 長を精度良く制御することができ、耐圧性、電流－電圧特性等の性能に優れたものとなる。

【0051】

以上、TFT30 の製造方法についてのみ説明したが、本実施形態の液晶装置は、TFT30 の製造プロセスを上述のものとする以外は、公知の製造方法と同様に製造することができるので、その他の製造プロセスについては説明を省略する。

【0052】

なお、本実施形態においては、多結晶シリコンからなる多結晶半導体膜を備えた TFT についてのみ説明したが、本発明はシリコン以外の多結晶半導体膜を備えた TFT にも適用可能である。また、多結晶半導体膜に限らず、非晶質半導体膜を備えた TFT にも適用可能である。また、nチャネル型の TFT についてのみ説明したが、本発明は pチャネル型の TFT にも適用可能である。また、本実

施形態では、電気光学装置として液晶装置を取り上げて説明したが、本発明は、E L 装置、プラズマディスプレイなど、T F T を備えたものであれば、いかなる電気光学装置にも適用可能である。

【 0 0 5 3 】

〔電子機器〕

次に、本発明の上記実施形態の液晶装置（電気光学装置）を備えた電子機器の具体例について説明する。

図 9（a）は、携帯電話の一例を示した斜視図である。図 9（a）において、5 0 0 は携帯電話本体を示し、5 0 1 は前記の液晶装置を備えた液晶表示部を示している。

図 9（b）は、ワープロ、パソコンなどの携帯型情報処理装置の一例を示した斜視図である。図 9（b）において、6 0 0 は情報処理装置、6 0 1 はキーボードなどの入力部、6 0 3 は情報処理本体、6 0 2 は前記の液晶装置を備えた液晶表示部を示している。

図 9（c）は、腕時計型電子機器の一例を示した斜視図である。図 9（c）において、7 0 0 は時計本体を示し、7 0 1 は前記の液晶装置を備えた液晶表示部を示している。

図 9（a）～（c）に示す電子機器は、上記実施形態の液晶装置を備えたものであるので、性能に優れたものとなる。

【 0 0 5 4 】

【発明の効果】

以上詳述したように、本発明によれば、ゲート電極の側面形状や L D D 長にかかわらず、L D D 長を精度良く制御することが可能な手段を提供することができる。

【図面の簡単な説明】

【図 1】 図 1 は、本発明に係る実施形態の液晶装置の画像表示領域を構成するマトリクス状に配置された複数のドットにおけるスイッチング素子、信号線等の等価回路図である。

【図 2】 図 2 は、本発明に係る実施形態の液晶装置の T F T アレイ基板の

1 ドットを拡大して示す平面図である。

【図 3】 図 3 は、本発明に係る実施形態の液晶装置の構造を示す断面図である。

【図 4】 図 4 (a) ~ (c) は、本発明に係る実施形態の薄膜半導体装置の製造方法を示す工程図である。

【図 5】 図 5 (a) ~ (c) は、本発明に係る実施形態の薄膜半導体装置の製造方法を示す工程図である。

【図 6】 図 6 (a) ~ (c) は、本発明に係る実施形態の薄膜半導体装置の製造方法を示す工程図である。

【図 7】 図 7 (a) , (b) は、本発明に係る実施形態の薄膜半導体装置の製造方法を示す工程図である。

【図 8】 図 8 (a) , (b) は、本発明に係る実施形態の薄膜半導体装置の製造方法を示す工程図である。

【図 9】 図 9 (a) は、上記実施形態の液晶装置を備えた携帯電話の一例を示す図、図 9 (b) は、上記実施形態の液晶装置を備えた携帯型情報処理装置の一例を示す図、図 9 (c) は、上記実施形態の液晶装置を備えた腕時計型電子機器の一例を示す図である。

【図 1 0】 図 1 0 (a) ~ (d) は、 I C 等の半導体素子の技術分野において、 L D D 長を制御することが可能な従来の技術を説明するための図である。

【符号の説明】

3 0 T F T (薄膜半導体装置)

1 0 A 基板本体 (透光性基板)

1 0 1 非晶質半導体膜

1 多結晶半導体膜

1 x ソース領域

1 y ドレイン領域

1 a チャネル領域

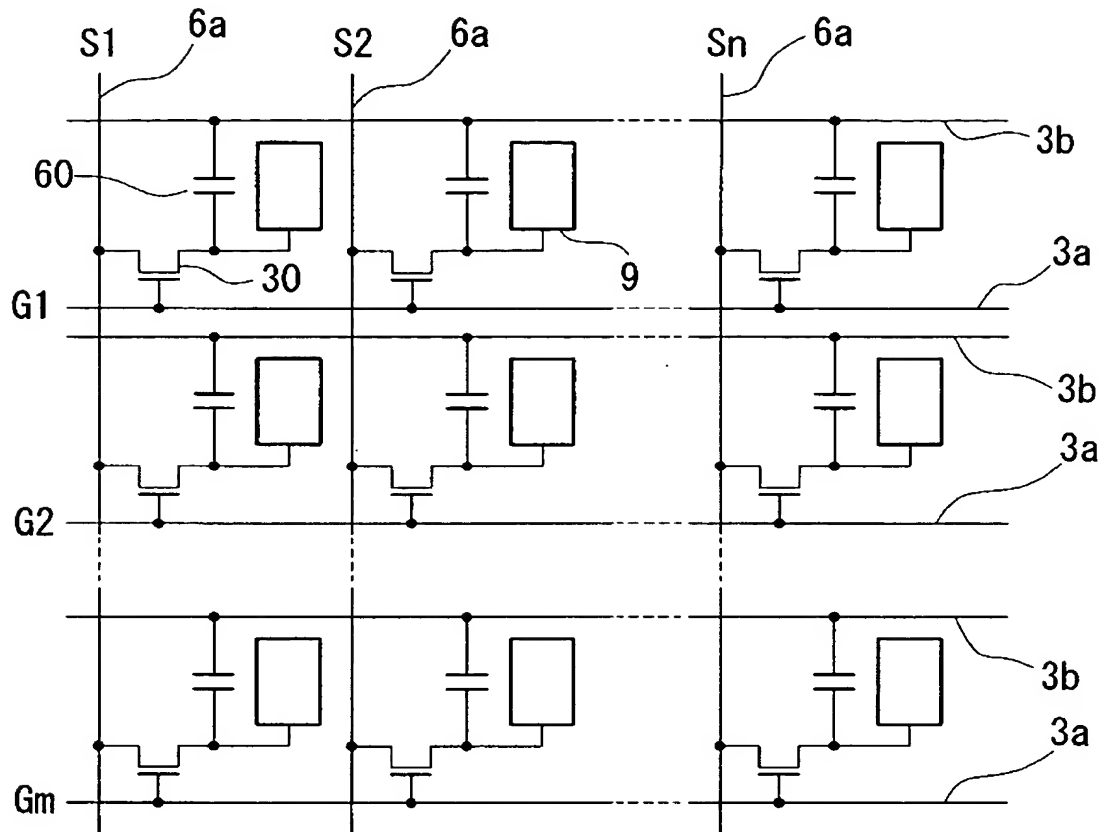
1 b 低濃度ソース領域 (L D D 領域)

1 c 低濃度ドレイン領域 (L D D 領域)

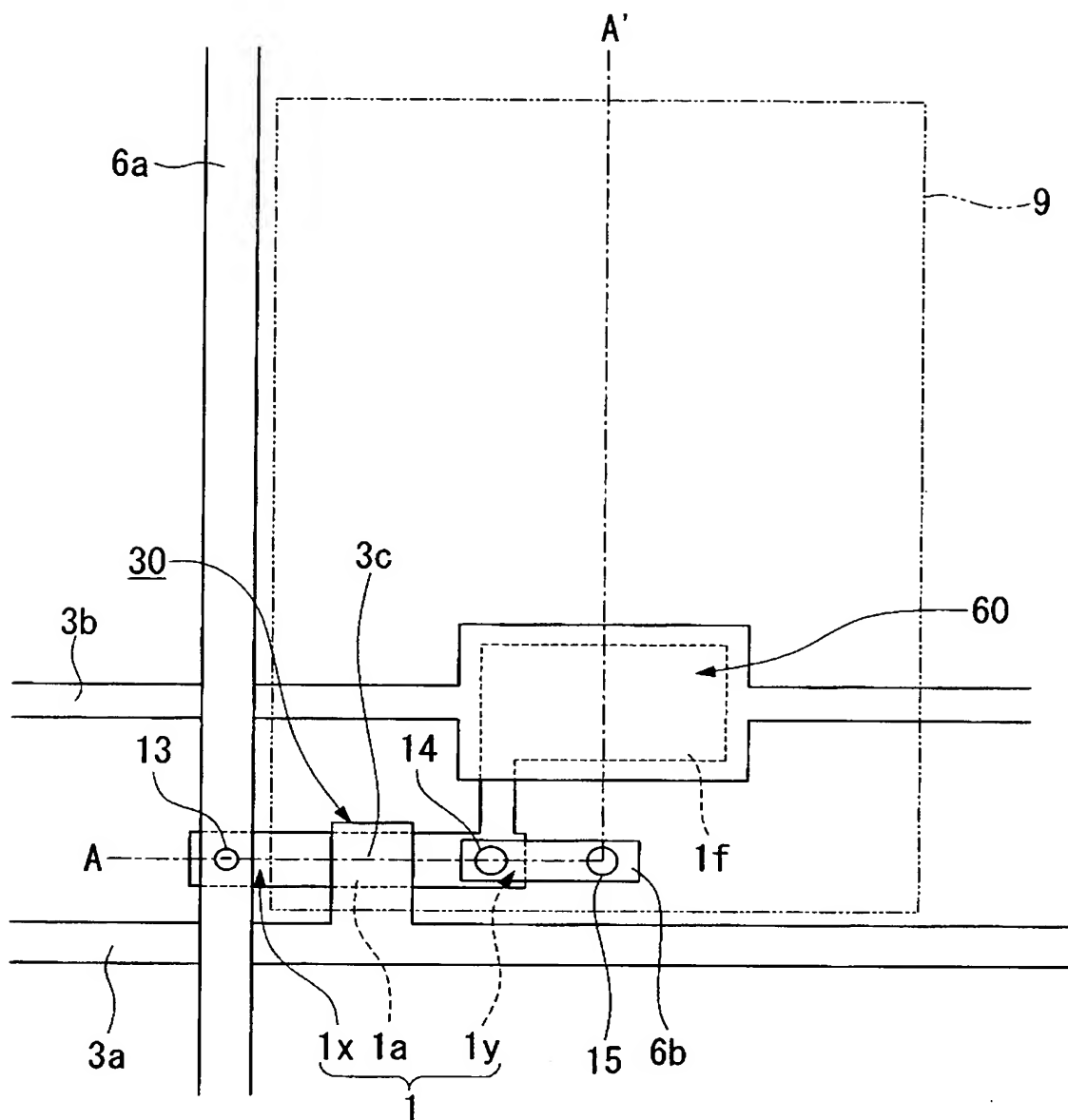
- 1 d 高濃度ソース領域
- 1 e 高濃度ドレイン領域
- 2 ゲート絶縁膜
- 3 a 走査線
- 3 c ゲート電極
- 6 a データ線
- 6 b ソース線
- 8 a 第一の絶縁膜
- 8 b 第二の絶縁膜
- 8 x 2 種類以上の絶縁膜から構成される積層絶縁膜

【書類名】 図面

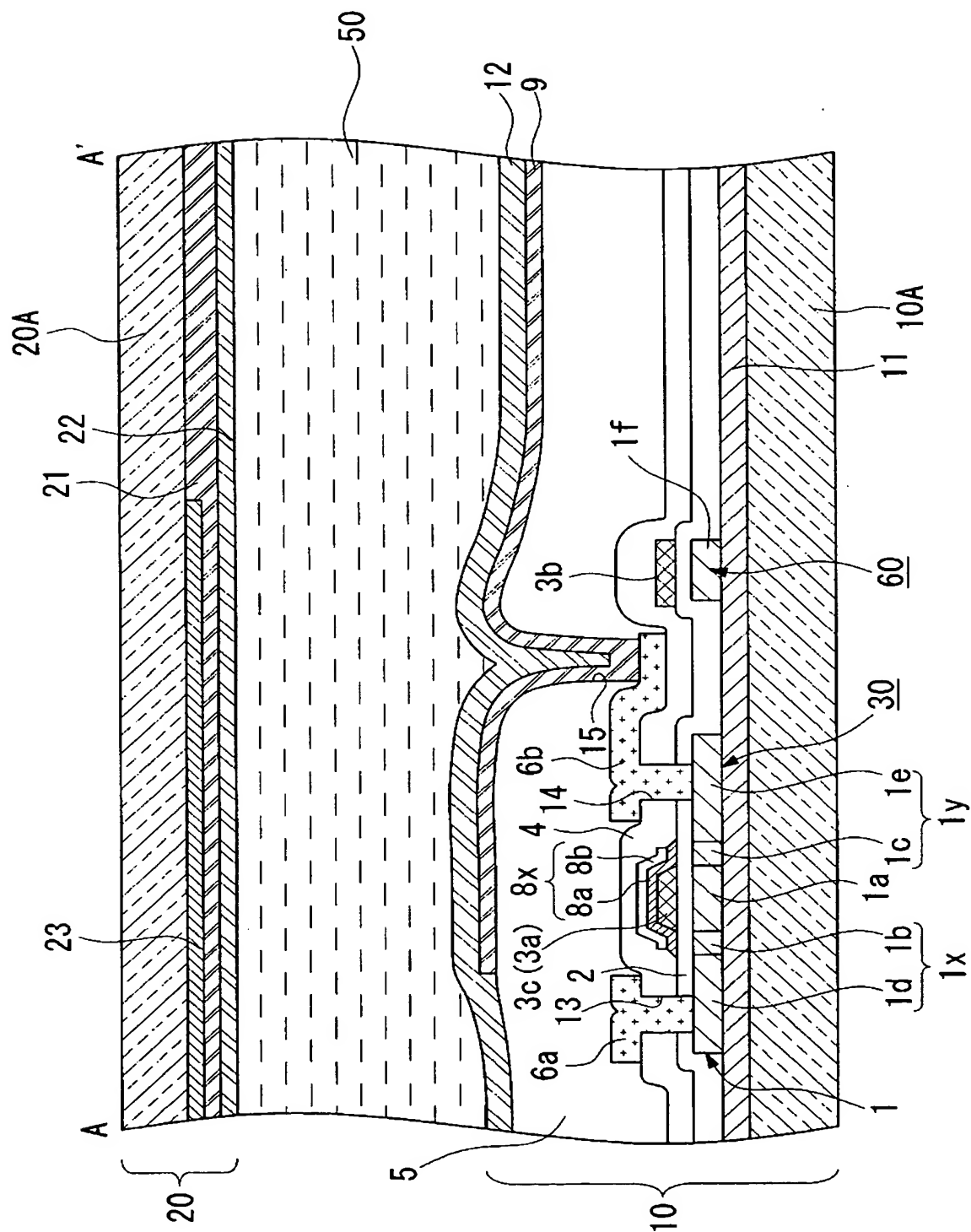
【図 1】



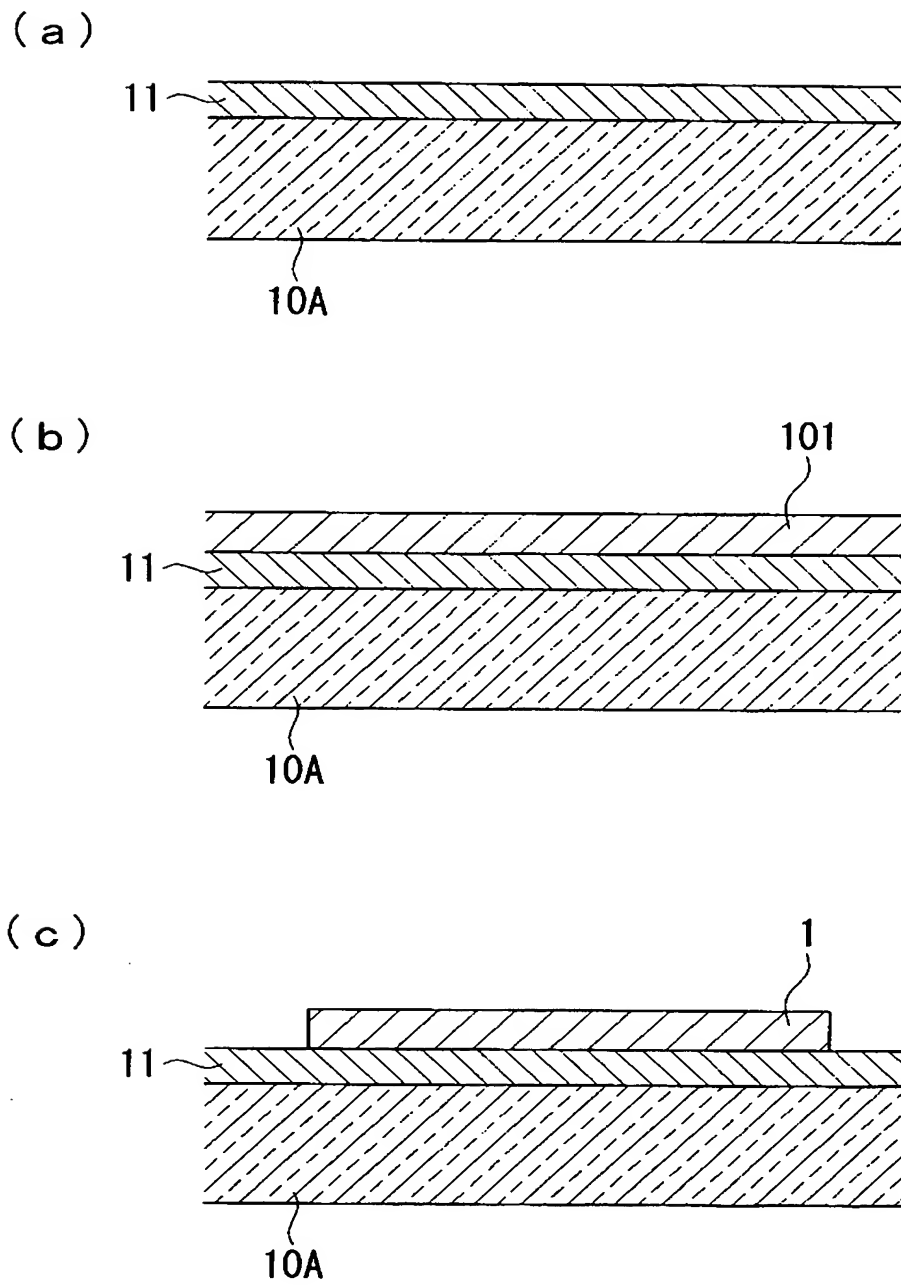
【図 2】



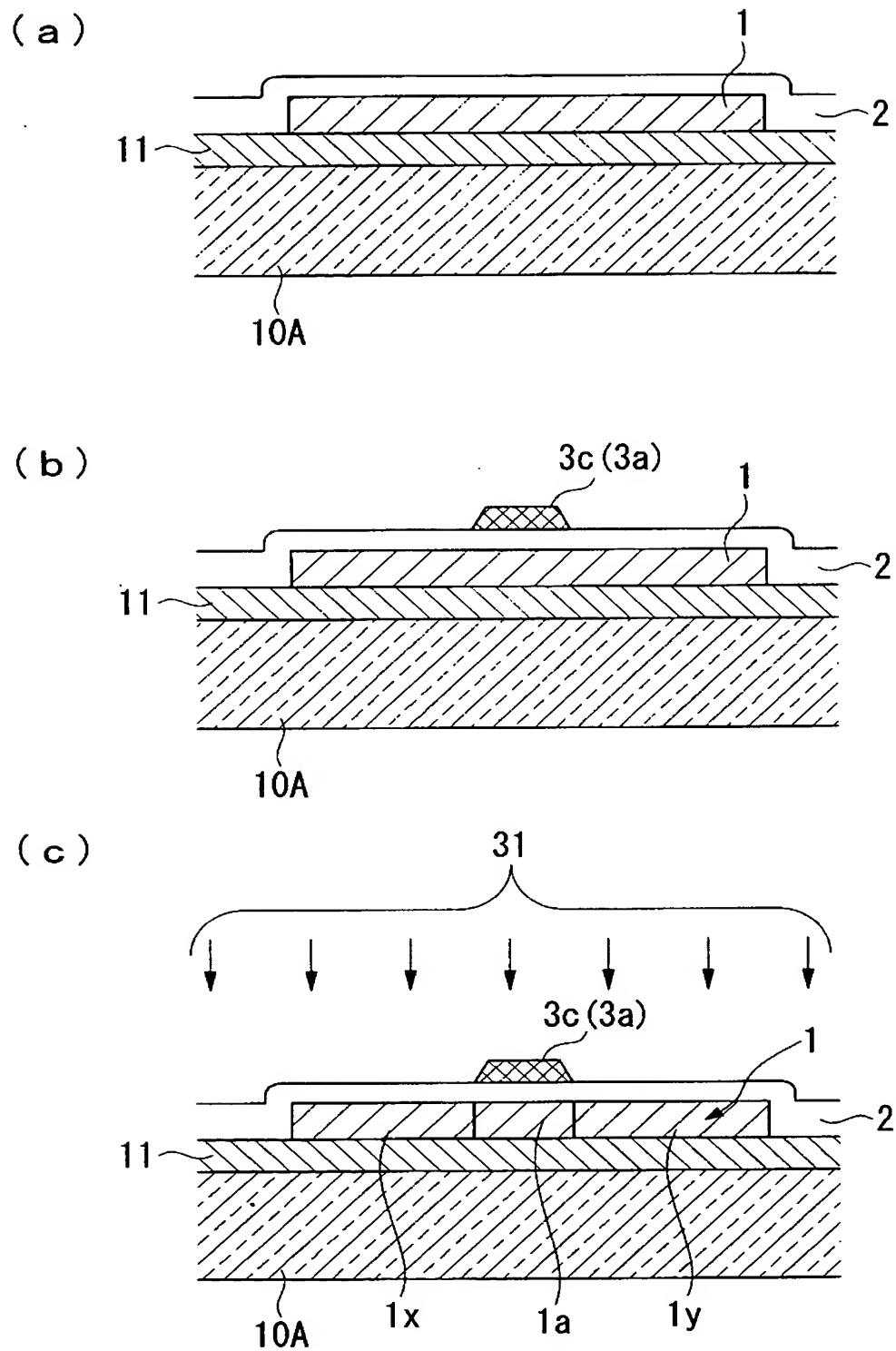
【図 3】



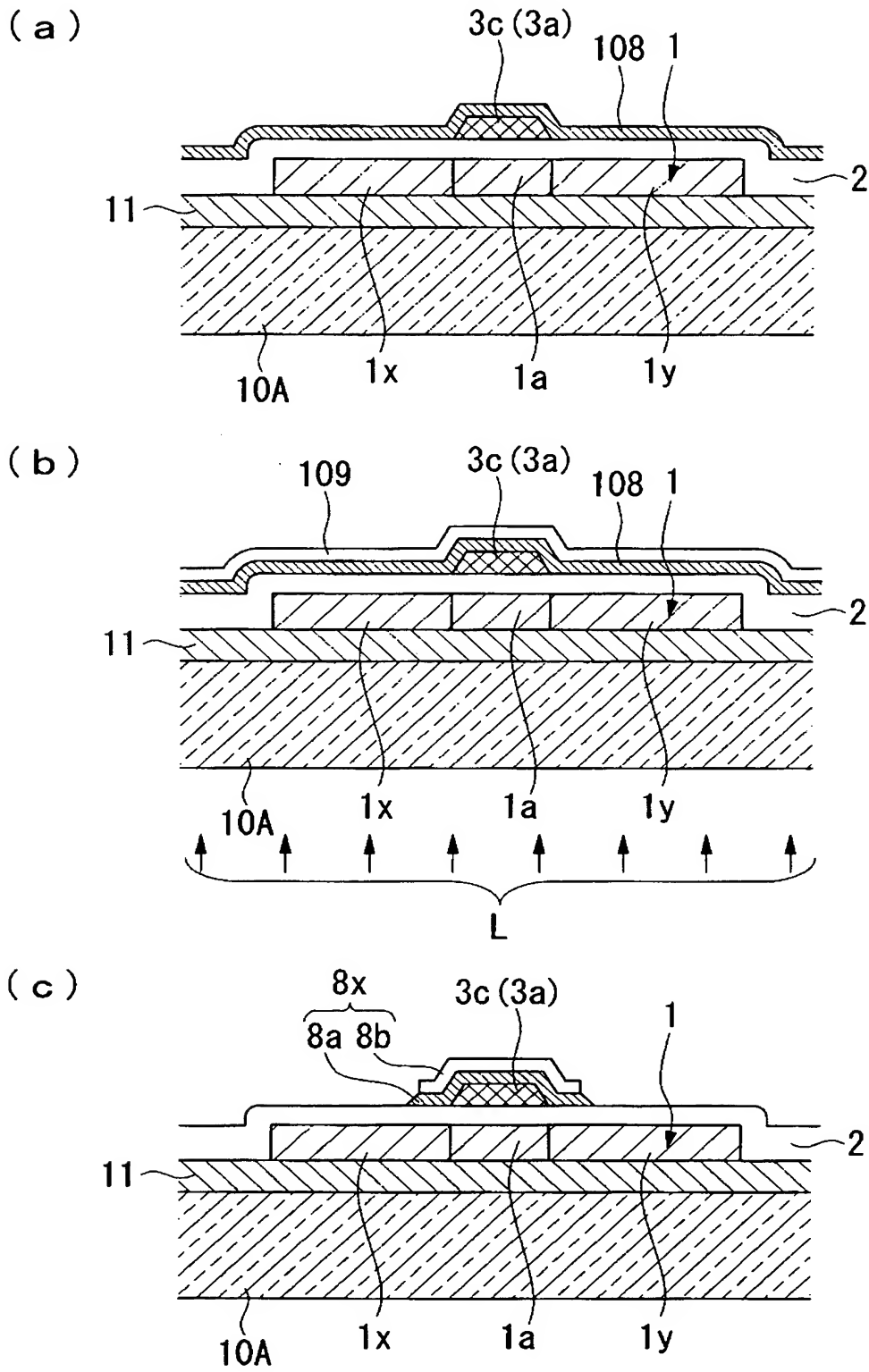
【図 4】



【図 5】

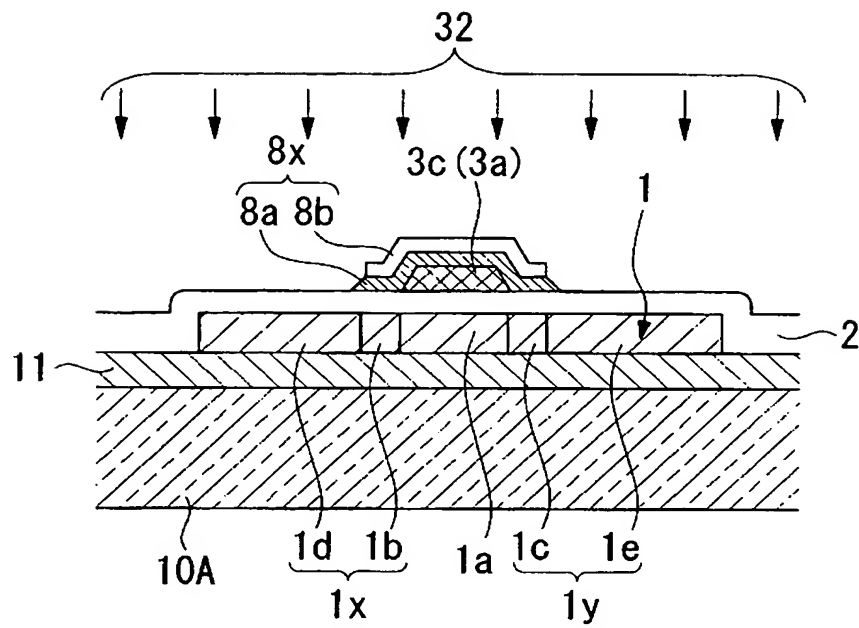


【図 6】

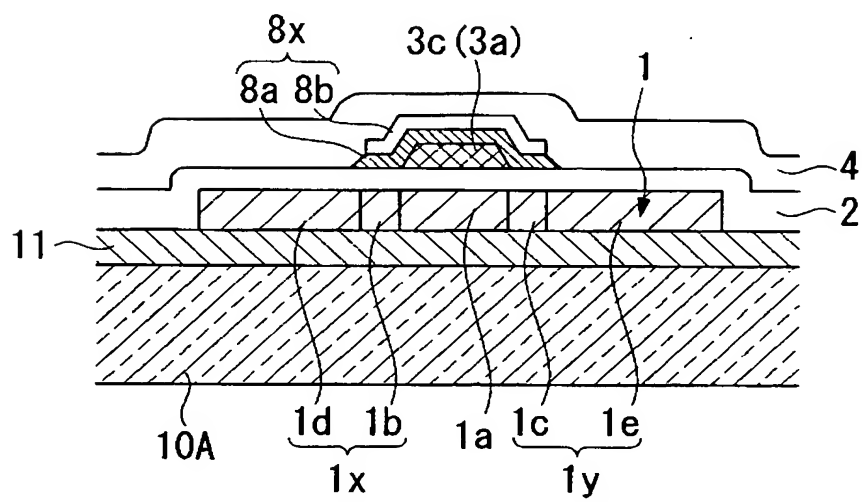


【図 7】

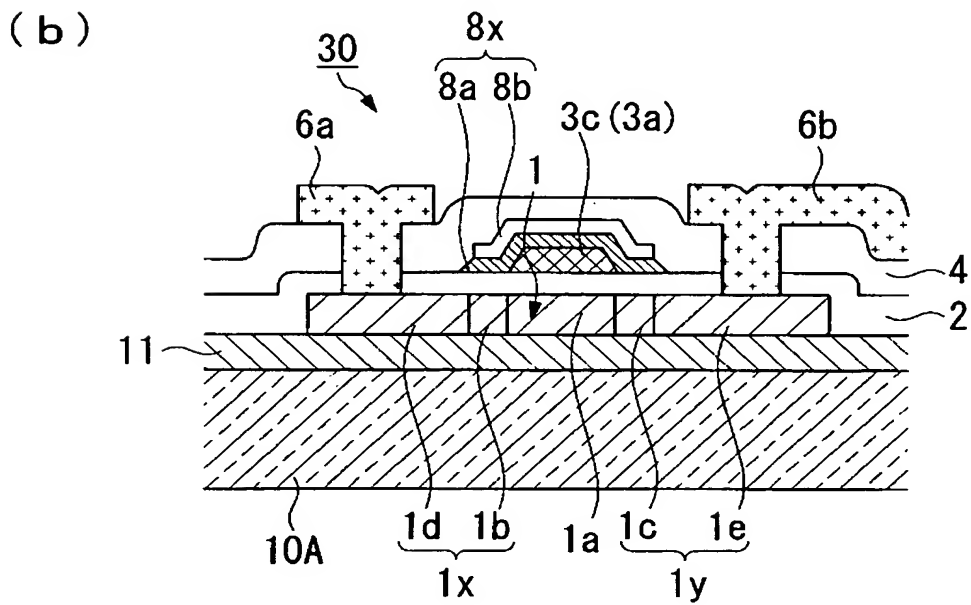
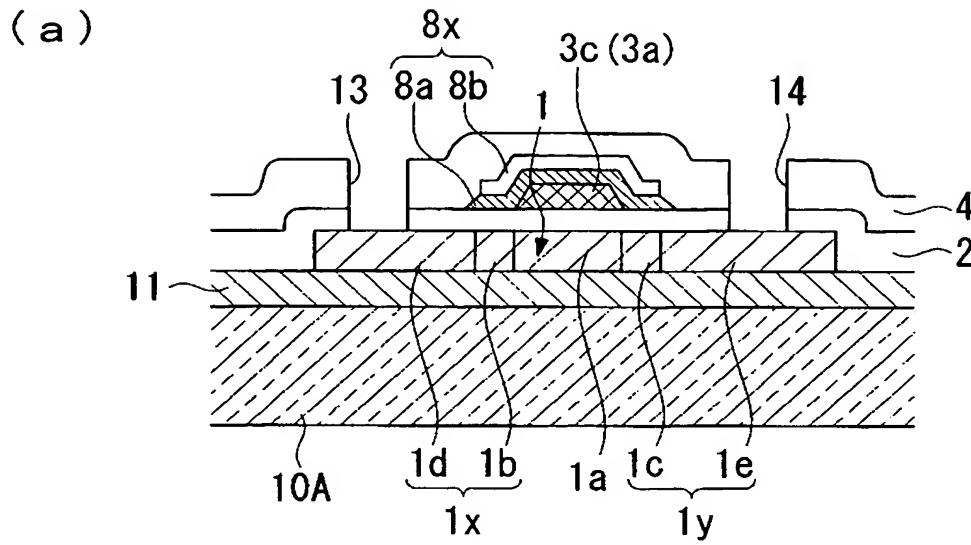
(a)



(b)

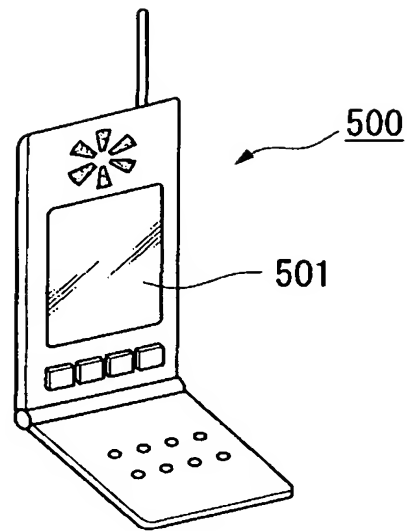


【図 8】

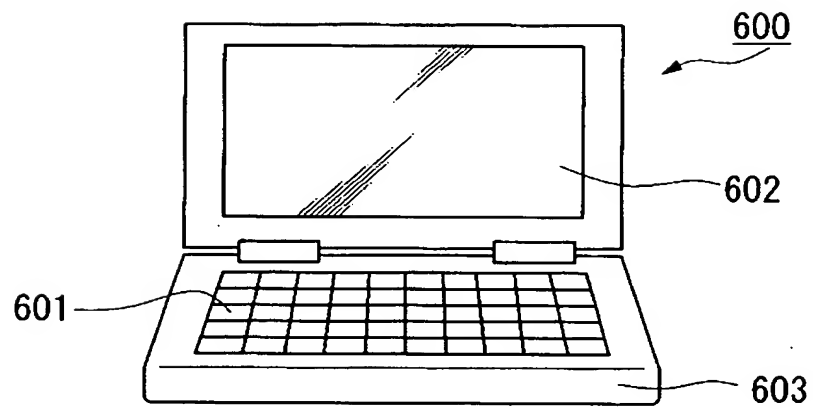


【図 9】

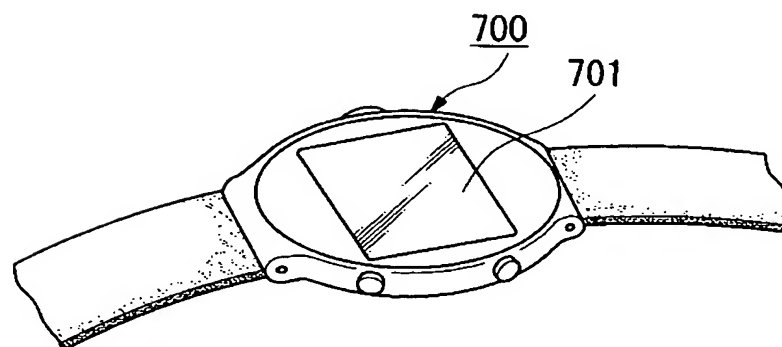
(a)



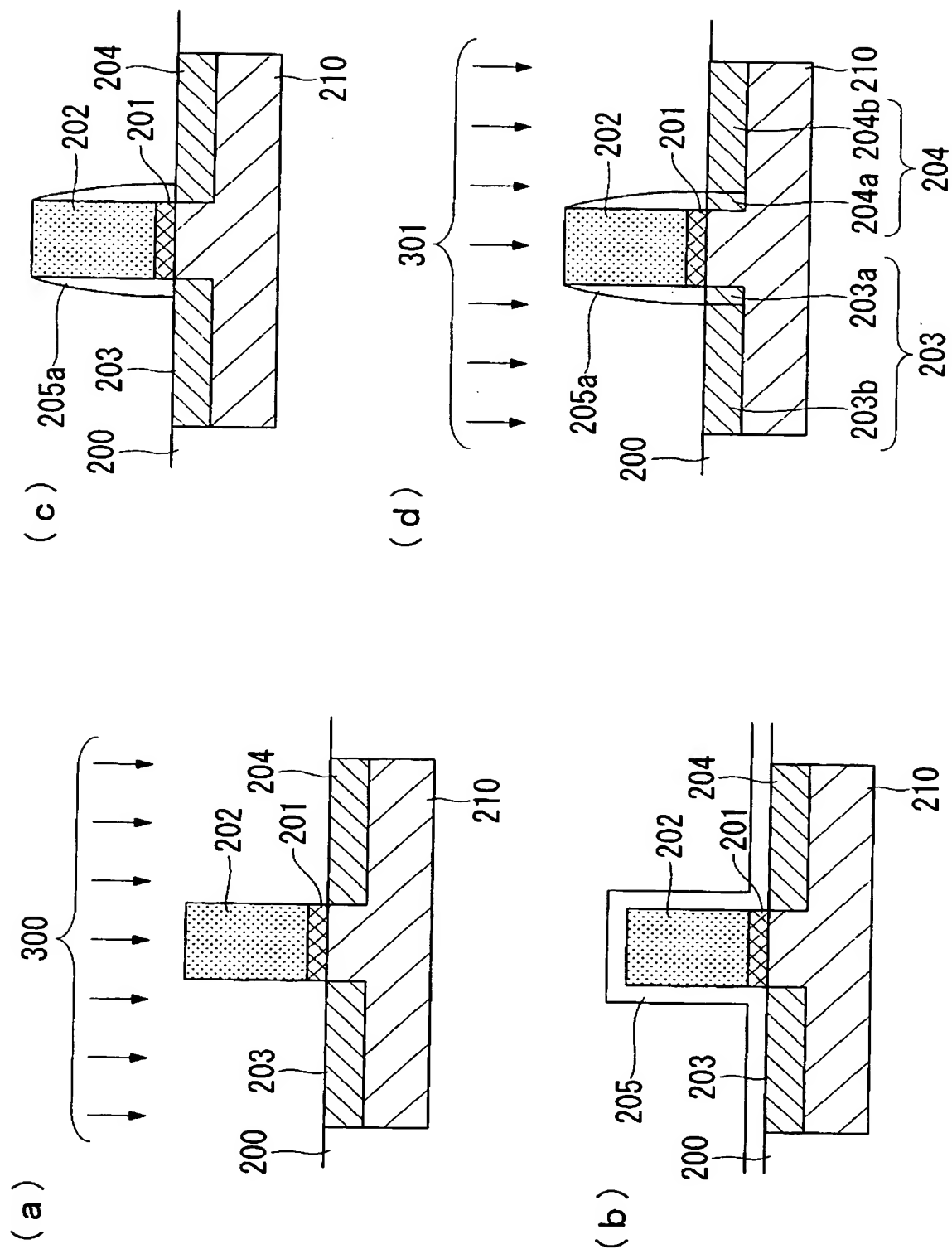
(b)



(c)



【図 10】



【書類名】 要約書

【要約】

【課題】 ゲート電極の形状やLDD長にかかわらず、LDD長を精度良く制御することが可能な薄膜半導体装置の製造方法を提供する。

【解決手段】 はじめに、基板10A上に、所定のパターンの半導体膜1、ゲート絶縁膜2、テーパー形状のゲート電極3cを順次形成し、ゲート電極3cをマスクとして半導体膜1に低濃度の不純物を注入する。次に、ゲート電極3cを形成した透光性基板10A上に、2種類以上の絶縁膜からなる積層絶縁膜を形成し、エッチングレートが第一の絶縁膜8aが第二の絶縁膜8bの方より小さい条件で全面エッチングを行ない、少なくとも1層の絶縁膜がゲート電極3cより幅広でかつ半導体膜1より幅狭の所定のパターンになる様に積層絶縁膜8xを形成する。次に、積層絶縁膜8xをマスクとして、半導体膜1に高濃度の不純物を注入する。

【選択図】 図7

認定・付加情報

| | |
|---------|--------------------------|
| 特許出願の番号 | 特願 2 0 0 3 - 1 2 1 6 7 3 |
| 受付番号 | 5 0 3 0 0 6 9 9 9 4 1 |
| 書類名 | 特許願 |
| 担当官 | 小島 えみ子 2 1 8 2 |
| 作成日 | 平成 1 5 年 5 月 1 9 日 |

< 認定情報・付加情報 >

【特許出願人】

【識別番号】 000002369

【住所又は居所】 東京都新宿区西新宿 2 丁目 4 番 1 号

【氏名又は名称】 セイコーエプソン株式会社

【代理人】 申請人

【識別番号】 100089037

【住所又は居所】 東京都新宿区高田馬場 3 丁目 2 3 番 3 号 O R ビ
ル 志賀国際特許事務所

【氏名又は名称】 渡邊 隆

【代理人】

【識別番号】 100064908

【住所又は居所】 東京都新宿区高田馬場 3 丁目 2 3 番 3 号 O R ビ
ル 志賀国際特許事務所

【氏名又は名称】 志賀 正武

【選任した代理人】

【識別番号】 100110364

【住所又は居所】 東京都新宿区高田馬場 3 丁目 2 3 番 3 号 O R ビ
ル 志賀国際特許事務所

【氏名又は名称】 実広 信哉

次頁無

特願 2 0 0 3 - 1 2 1 6 7 3

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 2 3 6 9]

1. 変更年月日

1 9 9 0 年 8 月 2 0 日

[変更理由]

新規登録

住 所

東京都新宿区西新宿 2 丁目 4 番 1 号

氏 名

セイコーエプソン株式会社